

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-033600

(43)Date of publication of application : 03.02.1995

(51)Int.Cl.

G30B 35/00  
H01L 21/3205

(21)Application number : 05-172857

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.07.1993

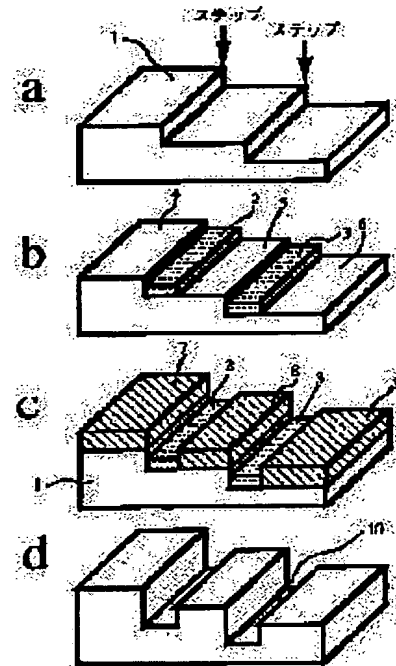
(72)Inventor : HASEGAWA TAKESHI  
HOSOKI SHIGEYUKI  
KONO MAKIKO  
ICHIKAWA MASAKAZU

## (54) FORMATION OF MICROSTRUCTURE AND DEVICE THEREFOR

### (57)Abstract:

**PURPOSE:** To enable both the formation of a microstructure of nm width level and the production of quantization devices by forming a first metal thin film and a second crystal on the surface of a semiconductor under specific conditions.

**CONSTITUTION:** While the surface 1 of a semiconductor shown in Figure (a) is heated, the first metal is vapor-deposited on the surface 1 and the surface diffusion is effected to form the structures 2, 3 shown in Fig. (b) rearranged along the stepped edge. On the way of growth of the second crystal on the semiconductor surface 1 at the base temperature T, the temperature T is set higher than the temperature T1 at which the particles of the second crystal can diffuse on the first metal thin film but lower than that T2 at which the first metal vaporizes to form the crystal structures 7, 8, 9 shown in Figure (c) only on the terraces 4, 5, 6 shown in Figure (b) without crystallization of the second crystals on the rearranged structure 2, 3. At the same time, when the minimum line width of the first metal thin film is represented by R, the average resident time of the second crystal particles by  $\tau$  and the vapor deposition rate by J, the particles are fed at a vapor deposition rate of  $J < 1/(R^2 \times \tau)$  to form the fine structure so that the second crystal may not grow on the first metal thin film.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-33600

(43)公開日 平成7年(1995)2月3日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
C 3 0 B 35/00		8216-4G		
H 0 1 L 21/3205		8826-4M	H 0 1 L 21/ 88	B

審査請求 未請求 請求項の数36 O L (全 13 頁)

(21)出願番号 特願平5-172857

(22)出願日 平成5年(1993)7月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 長谷川 剛

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 細木 茂行

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 河野 真貴子

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

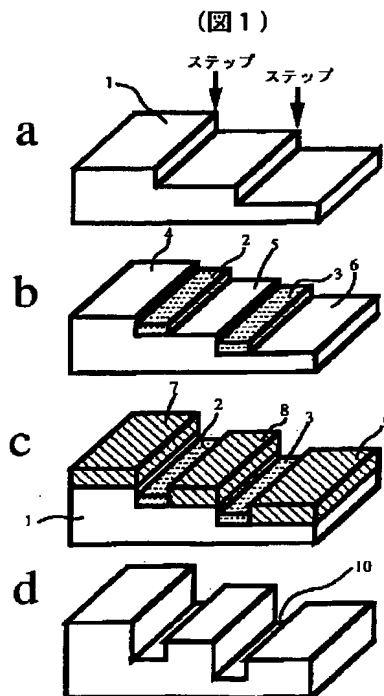
(54)【発明の名称】 微細構造形成方法および装置

(57)【要約】

【目的】 nmレベル幅の微細構造を形成する手法を提供する。

【構成】 半導体表面上に、nmレベルで制御可能な金属細線を形成し、その表面に半導体結晶を成長させる。その際、金属上には、半導体結晶が成長しない金属と半導体の組合せとした。

【効果】 金属細線の幅は、供給量によりnmレベルで制御可能であり、該金属細線上に半導体結晶は成長しないので、容易に溝部に金属細線を有する微細構造が形成できる。



1

## 【特許請求の範囲】

【請求項1】半導体表面に第1の金属薄膜を形成する過程と、該過程の後、該半導体表面に基板温度Tで第2の結晶を成長させる過程とからなる微細構造形成方法であって、温度Tを、第2の結晶を構成すべき粒子が前記第1の金属薄膜上を拡散可能な温度T<sub>1</sub>よりも高く、かつ、前記第1の金属薄膜の蒸発温度T<sub>2</sub>よりも低く設定することによって、該第2の結晶が、第1の金属薄膜上には成長しないことを特徴とする微細構造形成方法。

【請求項2】半導体表面に第1の金属薄膜を形成する過程と、該過程の後、該半導体表面に基板温度Tで第2の結晶を成長させる過程とからなる微細構造形成方法であって、基板温度Tを、第2の結晶を構成すべき粒子が前記第1の金属薄膜上を拡散可能な温度T<sub>1</sub>よりも高く、かつ、前記第1の金属薄膜の蒸発温度T<sub>2</sub>よりも低く設定すると同時に、第1の金属薄膜の最少線幅をR、第1の金属薄膜上での第2の結晶を構成する粒子の平均滞在時間を $\tau$ 、第2の結晶を構成する粒子の蒸着速度をJとすると、 $J < 1 / (R^2 \times \tau)$  を満足する蒸着速度で粒子を供給することによって、前記第2の結晶が、第1の金属薄膜上には成長しないことを特徴とする微細構造形成方法。

【請求項3】前記第2の結晶を成長させた後、前記第1の金属薄膜を除去することを特徴とする請求項1ないし2記載の微細構造形成方法。

【請求項4】前記第1の金属薄膜を除去した後、別の第3の材料を前記第1の金属薄膜を除去した領域に供給することを特徴とする請求項3記載の微細構造形成方法。

【請求項5】前記第3の材料を前記第1の金属薄膜を除去した領域に供給した後、第4の結晶を成長させる過程からなる微細構造形成方法であって、前記第4の結晶成長が、前記第3の材料によって促進されることを特徴とすることを請求項4記載の微細構造形成方法。

【請求項6】第2の結晶が、基板となる半導体と同じ組成であることを特徴とする、請求項1～5記載の微細構造形成方法。

【請求項7】第2の結晶が、基板となる半導体とは異なる組成、ないしは種類であることを特徴とする、請求項1～5記載の微細構造形成方法。

【請求項8】第4の結晶が、基板となる半導体と同じ組成からなることを特徴とする、請求項1～7記載の微細構造形成方法。

【請求項9】第4の結晶が、基板となる半導体とは異なる組成、ないしは種類であることを特徴とする、請求項1～7記載の微細構造形成方法。

【請求項10】半導体表面に第1の金属薄膜を形成する過程と、該過程の後、該半導体表面に基板温度Tで第2の結晶を成長させる過程とからなる微細構造形成方法であって、温度Tは、第2の結晶を構成すべき粒子が前記第1の金属薄膜上を拡散可能な温度T<sub>1</sub>よりも高く、か

2

つ、前記第1の金属薄膜の蒸発温度T<sub>2</sub>よりも低く設定されると同時に、前記第2の結晶が、前記第1の金属薄膜上には成長しない、金属の種類及び該半導体結晶表面上での構造、及び該半導体の組成及び表面構造の組合せを用いたことを特徴とする微細構造形成方法。

【請求項11】半導体表面に第1の金属薄膜を形成する過程と、該過程の後、該半導体表面に基板温度Tで第2の結晶を成長させる過程とからなる微細構造形成方法であって、温度Tは、第2の結晶を構成すべき粒子が前記第1の金属薄膜上を拡散可能な温度T<sub>1</sub>よりも高く、かつ、前記第1の金属薄膜の蒸発温度T<sub>2</sub>よりも低く設定されると同時に、前記第2の結晶が、前記第1の金属薄膜上には成長しない、金属の種類及び該半導体結晶表面上での構造、及び該半導体の組成及び表面構造の組合せを用い、前記第2の結晶を構成する粒子の供給を、第1の金属薄膜の最少線幅をR、第1の金属薄膜上での第2の結晶を構成する粒子の平均滞在時間を $\tau$ 、第2の結晶を構成する粒子の蒸着速度をJとしたとき、 $J < 1 / (R^2 \times \tau)$  を満足する蒸着速度で行うことを特徴とする請求項10記載の微細構造形成方法。

【請求項12】前記第2の結晶を成長させた後、前記第1の金属薄膜の全てもしくはその一部を除去することを特徴とする請求項10ないし11記載の微細構造形成方法。

【請求項13】前記第1の金属薄膜の全てもしくはその一部を除去した後、別の第3の材料を前記第1の金属薄膜を除去した領域の全てもしくはその一部に供給することを特徴とする請求項12記載の微細構造形成方法。

【請求項14】前記第3の材料を前記第1の金属薄膜を除去した領域に供給した後、第4の結晶を成長させる過程からなる微細構造形成方法であって、前記第4の結晶成長が、前記第3の材料によって促進されることを特徴とすることを請求項13記載の微細構造形成方法。

【請求項15】第2の結晶が、基板となる半導体と同じ組成からなることを特徴とする、請求項10～14記載の微細構造形成方法。

【請求項16】第2の結晶が、基板となる半導体とは異なる組成、ないしは種類であることを特徴とする、請求項10～14記載の微細構造形成方法。

【請求項17】第4の結晶が、基板となる半導体と同じ組成であることを特徴とする、請求項10～16記載の微細構造形成方法。

【請求項18】第4の結晶が、基板となる半導体とは異なる組成、ないしは種類であることを特徴とする、請求項10～16記載の微細構造形成方法。

【請求項19】半導体表面の一部に第1の金属薄膜を形成する過程であって、該第1の金属薄膜は該第1の金属薄膜上には第2の結晶が成長しない、種類及び該半導体表面上での構造を有するものである過程と、該半導体表面の別の一部に第2の結晶の成長を促進する種類及び構

造を有する別の第3の金属薄膜を形成する過程と、第2の結晶を基板温度Tで成長させる過程とからなり、前記基板温度Tは、前記第2の結晶を構成すべき粒子が前記第1の金属薄膜上に拡散可能な温度 $T_1$ よりも高く、かつ、前記第1の金属薄膜の蒸発温度 $T_2$ よりも低く設定されることを特徴とする微細構造形成方法。

【請求項20】半導体表面の一部に第1の金属薄膜を形成する過程であって、該第1の金属薄膜は該第1の金属薄膜上には第2の結晶が成長しない、種類及び該半導体表面上での構造を有するものである過程と、該半導体表面の別の一部に第2の結晶の成長を促進する種類及び構造を有する別の第3の金属薄膜を形成する過程と、第2の結晶を基板温度Tで成長させる過程とからなり、前記基板温度Tは、前記第2の結晶を構成すべき粒子が前記第1の金属薄膜上に拡散可能な温度 $T_1$ よりも高く、かつ、前記第1の金属薄膜の蒸発温度 $T_2$ よりも低く設定され、前記第2の結晶を構成する粒子が、第1の金属薄膜の最少線幅をR、第1の金属薄膜上での第2の結晶を構成する粒子の平均滞在時間を $\tau$ 、第2の結晶を構成する粒子の蒸着速度をJとしたとき、 $J < 1 / (R^2 \times \tau)$ を満足する蒸着速度で供給されることを特徴とする微細構造形成方法。

【請求項21】前記第2の結晶を成長させた後、前記第1ないし第3の金属薄膜のうち、少なくとも一方の全てもしくは一部を除去することを特徴とする請求項19ないし20記載の微細構造形成方法。

【請求項22】前記第1ないし第3の金属薄膜のうち、少なくとも一方の全てもしくは一部を除去した後、該除去した部分の全領域ないしその一部に別の第4の材料を供給することを特徴とする請求項21記載の微細構造形成方法。

【請求項23】前記第2の結晶が、基板と同じ組成であることを特徴とする、請求項19～22記載の微細構造形成方法。

【請求項24】前記第2の結晶が、基板とは異なる組成もしくは種類の結晶であることを特徴とする、請求項19～22記載の微細構造形成方法。

【請求項25】半導体表面上に任意のステップ形状を形成することによって、任意の微細構造を形成することを特徴とする、請求項1～24記載の微細構造形成方法。

【請求項26】前記金属薄膜、あるいは前記金属薄膜を除去した領域に供給した材料に対して、局所的に作用を加えることによって、粒子状の構造を形成することを特徴とする、請求項1～25記載の微細構造形成方法。

【請求項27】温度制御可能な試料台と、複数の材料供給手段とを有する微細構造形成装置であって、少なくとも一つの材料供給手段は、基板となる半導体表面に第1の金属薄膜を形成するためのもので、該第1の金属薄膜上には、別の材料供給手段から供給された材料が結晶成長しないことを特徴とする微細構造形成装置。

【請求項28】前記金属薄膜の一部もしくは全てを除去する手段を有することを特徴とする、請求項27記載の微細構造形成装置。

【請求項29】前記金属薄膜の一部もしくは全てを除去する手段が、粒子線であることを特徴とする、請求項28記載の微細構造形成装置。

【請求項30】基板の温度を制御することにより、前記金属薄膜の一部もしくは全てを除去することを特徴とする、請求項28記載の微細構造形成装置。

【請求項31】収束イオンビームにより局所的に前記金属薄膜を形成、ないしは前記金属薄膜を除去した領域に別の金属薄膜を形成することを特徴とする、請求項27記載の微細構造形成装置。

【請求項32】走査型プローブ顕微鏡により、局所的に前記金属薄膜、ないしは前記結晶を成長させることを特徴とする、請求項27記載の微細構造形成装置。

【請求項33】顕微装置を備えたことを特徴とする、請求項27～32記載の微細構造形成装置。

【請求項34】前記顕微装置が電子顕微鏡であることを特徴とする、請求項33記載の微細構造形成装置。

【請求項35】前記顕微装置がプローブ顕微鏡であることを特徴とする、請求項33記載の微細構造形成装置。

【請求項36】請求項1～26記載の微細構造形成方法により少なくともその一部を形成した電子デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】半導体表面上の微細構造形成方法および装置、並びに微細構造を有する電子デバイスに関する。

【0002】

【従来の技術】半導体表面における微細構造形成は、従来、光、電子線、X線、イオン線等を用いたリソグラフィ法や、直接電子線やイオン線を用いて表面を加工する方法が用いられていた。例えば、リソグラフィ技術に関しては、応用物理第61巻(1992年)第4号、366頁～367頁に記載されている。縮小投影露光や位相シフト法など様々な工夫が現在なされているが、最小加工寸法としては0.1 $\mu$ mがほぼ限界であると論じられている。また、イオン線を用いた表面の直接加工に関しては、真空第35巻(1992年)第5号、512頁～519頁に記載されている。加工精度は、ビーム径で決まり、10nmが限界であろうと論じられている。リソグラフィ法に比べ、分解能がかなり高くなっている一方で、5nm程度の線幅の揺らぎが生じてしまうことも論じられている。

【0003】

【発明が解決しようとする課題】今後、電子素子の高集積化が一層進むと、現在用いられている微細加工方法では、対応が難しくなってくる。特に、量子効果デバイスのように、nmオーダーの加工精度が必要なものにたい

しては、新しい加工方法が要求される。本発明の目的は、その様な要求に答えるnmレベルの加工精度を有する微細加工方法および装置を提供することにある。

#### 【0004】

【課題を解決するための手段】本発明では、nmレベルの加工精度を達成するために、半導体表面のステップに沿って任意の幅の第1の金属薄膜を成長させる手段と、その後第2の結晶を該半導体表面に成長させる手段とを設けた。その際、第2の結晶が第1の金属薄膜上には成長しない金属の種類及び該半導体表面での構造と、半導体の組成及び構造の組合せを用い、基板温度を制御するようにした。更に、半導体の融点以下の温度で金属を蒸発させるための、基板温度の制御手段、局所的に該金属薄膜を除去する手段、および金属を蒸発あるいは除去した後、別の材料を局所的に供給する手段とを設けた。

【0005】任意の形状の微細加工をするためには、半導体材料を局所的に供給して島状構造を形成したり、あるいは、局所的に半導体材料を取り除いたりして、任意の形状のステップ形状を形成することが必要である。このために、半導体材料を局所的に供給する手段、および除去する手段、更に、該半導体表面の別の一部に該結晶の成長を促進する金属の薄膜を成長させる手段を設けた。これらは、電子線や、イオン線等の粒子線、あるいは走査型トンネル顕微鏡を始めとするプローブ顕微鏡等を用いて行うことができる。また、加工をモニタするための顕微装置も設けた。

#### 【0006】

【作用】金属と半導体の組合せによっては、該半導体表面上に形成した該金属薄膜上には材料を供給しても結晶が成長しない、という従来知られていなかった現象を見出した。例えば、次の実施例で述べる、Si(111)表面上のAuの5倍構造がそうである。本発明は、この発見に基づいている。これまでは、従来技術で述べたような手法により微細加工が行われてきた。しかし、今回初めて見出した上記自然現象を利用すれば、容易に微細加工が行える。以下に、本発明による微細加工の特徴を述べる。

【0007】成長させる第1の金属薄膜の幅は、供給する量によりnmレベルで制御できるので、超微細加工ができ、線幅の揺らぎも起こらない。また、第2の結晶は、前記第1の金属薄膜上には成長しないので、nmオーダーの幅の溝に金属細線を有する構造を形成することができる。また、前記第1の金属は半導体結晶を壊さずに蒸発させることができるので、半導体表面上にnm幅の溝構造を形成することができる。更に、溝構造になっていることからその溝部に別の第3の材料を供給することにより、任意の材料による微細構造を容易に形成することができる。この第3の材料として第4の結晶を促進するものを用いることによって、nm幅の領域に選択的に結晶成長を行うことができる。また、前記第1の金属

は、ステップに沿って成長するので、任意のステップ形状を形成することにより、任意の形状の微細構造を形成することができる。更に、別の一部で結晶成長を促進できるので3次元的な微細加工が容易にできる。

#### 【0008】

【実施例】本発明の実施例の幾つかを図を用いて以下に説明する。

【0009】〈実施例1〉図1、2により本発明の原理を説明する。まず、図1により、半導体表面としてSi(111)清浄表面を、金属としてAuを用いた場合の例を用いて説明する。図1-aは、清浄なSi(111)表面1を示す図で、2原子層高さ(3.13Å)のステップが存在している。この清浄表面1を300℃以上800℃以下に加熱しながらAuを表面に蒸着すると、蒸着されたAuは表面拡散によりステップに集まり、ステップエッジに沿って再配列構造2、3を形成する(図1-b)。この再配列構造はステップエッジに沿った複数の吸着Au原子列より構成されている。その列の間隔は2nmで、蒸着量によりその本数すなわち再配列構造の幅を規定できる。このステップに沿って形成される再配列構造は、ステップ直上のテラスよりも低く、直下のテラスよりも高いという特徴を持つ。即ち、再配列構造2は、元々のSi表面であるテラス4よりも低く、テラス5よりも高い。同様に、再配列構造3は、テラス5よりも低く、テラス6よりも高い。この表面にSiを蒸着すると、蒸着されたSiは、前記過程により表面上に形成されたAuによる再配列構造2、3上には結晶構造を作らずに、最表面にSiが現れているテラス4、5、6(図1-b)上のみ結晶構造7、8、9を形成する(図1-c)。図1-cには、形成された結晶構造が丁度2原子層高さになるようにSiを蒸着した場合の構造が示されている。これにより、溝の部分に線状のAuを有する微細な構造を形成することができる。この溝の幅、即ち、Auの再配列構造の幅は、前述のように供給するAuの量によりnmレベルで制御することが出来る。また、Auは、Siよりも低い温度で蒸発するので、約800℃以上で加熱することにより、溝の部分に存在するAuのみを取り除くことも可能である。それにより、nmレベル幅の溝構造10を容易に形成することが出来る(図1-d)。Siの融点(約1200℃)より低い温度でAuを蒸発させることにより、溝構造を壊さずにAuのみを取り除くことができる訳である。また、イオンスパッターや電子線による局所加熱等により、金属薄膜の一部を局所的に取り除くことも可能である。

【0010】図2により、その原理を詳細に説明する。図2は断面図で、Si(111)表面基板11上に、2原子層高さのステップ12がある(図2-a)。この表面11にAuを蒸着すると、蒸着されたAuは表面上を拡散し、ステップ位置に再配列構造を形成する(図2-b)。この再配列構造は、Auの吸着によって配列の変わったSi原子層13と、吸着Au原子列群14からなる。該

吸着原子列14は、基板温度300℃以上800℃以下で、2nmの間隔でステップエッジに沿って並ぶ。Auの供給量を制御することにより、該吸着Au原子列の本数を制御することができる。即ち、2nmの整数倍で再配列構造の幅を制御することができる。この表面に300℃以上800℃以下でSiを蒸着すると、Siは前記吸着Au原子列群14上にはエネルギー的に安定に存在できないので、上側のテラスに拡散したり15、下側のテラスに拡散する16(図2-c)。その結果、蒸着されたSiは吸着Au原子列群14上には結晶構造を形成せず、表面にSiが現れている部分にのみ結晶構造17、18を形成する(図2-d)。この表面を約800℃以上1200℃以下で加熱すると、まず、吸着Au原子が蒸発し19(図2-e)、該吸着Au原子列の下にあったSiは、他のSiと同じ安定な構造20、21に転移する(図2-f)。その結果、2原子層高さの溝22が形成される。また、例えば室温でスパッタ等の手法によりAu原子列を取り除けば、Au原子列下のSiの構造を壊さずに溝構造を形成することもできる(図2-g)。このAu原子列下のSiは、元々のSi表面とは別の構造を有する。すなわち、別の電気特性を有するので、構造のみならず、電気的にも微細加工ができることになる。

【0011】上記実施例では、2原子層高さまでしか結晶を成長させていないが、更に材料を供給することによって溝を深くすることも可能である。その際、成長させる結晶の種類によっては、溝の側面でも結晶成長が起こる可能性がある。これを防ぐためには、表面に対して低角から材料を供給して、溝の側面に材料が供給されないようにすれば良い。また、表面に垂直な面の結晶エネルギーが高い場合、溝の側面が必ずしも表面に対して垂直にできるとは限らない。その場合、溝の側面は表面に対して垂直ではない、エネルギー的に安定な面で形成される。この時、溝の開口部は、溝の深さに依存して広がるが、底の面がnmオーダーの幅で規定されているので、開口部も幅の揺らぎのないものができる。

【0012】以上の実施例では、金属薄膜形成後、基板と同じSiを結晶成長させる場合を例に取り説明してきたが、該金属薄膜の種類を選ぶことによって、基板と異なる組成の結晶を成長させることも可能である。

【0013】上記実施例では、基板としてSi(111)表面を、金属としてAuを例に取り、本発明の基本となる部分を説明した。基板となる半導体材料としては、(111)面以外のSi表面はもとより、Geや、GaAsを始めとするGa, Al, In, P, As等から形成されるIII-V族半導体、ZnSe等のII-VI族半導体が上げられる。金属としては、Auの他に、Ag, Cu, Ni, Pd, Pt等が上げられる。

【0014】また、Si(111)表面上のAuでは、Au薄膜形成後にSiを供給する場合、複数のSi原子がAu薄膜上で拡散により出会うことがあっても、該薄膜上にはSiは結晶成長しない。しかし、半導体と金属の組合せ、あるいは

温度によっては、金属薄膜上で結晶を構成する原子が出会うと、そこで結晶構造を形成してしまう場合がある。それを防ぐためには、金属薄膜上で結晶を構成する原子が出会わないようにすれば良い。例えば、金属薄膜上で原子の平均滞在時間を $\tau$ 、蒸着速度をJとすると、被覆率は $J\tau$ で与えられる。金属薄膜の最小線幅をRとすれば、原子が他の原子と出会うことなく金属薄膜上で拡散するためには、面積 $R^2$ 内に1原子しかなければ問題ない。即ち、被覆率が、 $J\tau < (1/R^2)$ で与えられるような蒸着速度、つまり、 $J < (1/(R^2\tau))$ を満足する蒸着速度で結晶を構成する原子を供給すれば良い。

【0015】〈実施例2〉図3は、本発明の応用例の一つを示す図である。本発明により、溝部分に吸着Auの原子列が形成されている(図3-a)。これだけでも、微細なAuの配線として有効である。特に、溝部分に形成されていることからAuが拡散しにくく、nm幅の安定な線を形成することが出来る。AuはSi中に拡散しやすいと言われているが、このような薄膜構造を形成すれば非常に安定になる。更に該構造上に保護膜23を成長させれば(図3-b)、なお良い。その際、結晶がAu薄膜上でも成長する温度で保護膜を成長させるか、Au薄膜上に結晶成長する材料を保護膜として用いることが大切である。

【0016】〈実施例3〉図4は、本発明の別の応用例を示す図である。図4-aでは、本発明により2原子層高さの溝22が形成されている。その溝に金属、或いは基板とは別の材料24を供給することにより、nmレベルの線状構造を形成することが出来る(図4-b)。供給する方法としては、収束イオンビーム等により、局所的に溝部に材料を供給する方法と、表面全体に材料を供給して、拡散により材料を溝部に集める方法がある。いずれにしても、材料は溝に供給されるので安定に存在できる。溝にはみ出して材料を供給してしまったとしても、そのはみ出し部分だけをスパッター等により容易に除去することもできる。この供給する材料は、金属に限らず、例えば、導電性有機物等でも良い。溝の幅は、nmレベルで規定できるので、例えば、前記導電性有機物のような分子性結晶を供給する場合、その分子の大きさにあわせた幅の溝を形成することにより、前記分子を整然と並べることが容易にできる。このようにして出来た構造上に保護膜25を設けることによって安定性が増すことは言うまでもない。また、保護膜25の材質は、基板と同じであっても、なくても良い。

【0017】〈実施例4〉本発明を用いると、nmレベルの領域に選択的に結晶成長を行うことができる。図5を用いて、その方法を詳しく説明する。実施例1で説明した方法により、nm幅の溝構造10が半導体表面上に形成されている(図5-a)。この溝に、結晶の成長を促進する金属110を供給する(図5-b)。その後、

この表面に結晶を構成すべき材料を供給すると、結晶は、前記金属が供給された領域で選択的に成長を行う。この時、成長を促進する金属110は、常に成長した結晶111の上側に存在することが知られている(図5-c)。このような成長を行う金属と半導体の組合せとしては、例えば、Si上のAu, Pd, Pt, Ni, Cu, Ag等がある。これらの金属を供給した後、基板を加熱して合金を形成し、気相成長により半導体結晶が選択的に成長することが知られている。また、GaAs等の半導体でも同様のことが可能である。そのようにして結晶を成長させた後、金属を蒸発などの方法により除去すれば、図5-dに示したようなnm幅の構造を形成することができる。本発明を用いることにより、成長を促進する金属をnmレベルで精度良く配置できるので、成長した結晶もnm幅の線幅の揺らぎの少ないものができる。

【0018】(実施例5) 実施例1, 2, 3では、ステップ位置に微細な構造を形成する方法を述べてきたが、基板と同じ材料を基板表面に供給することにより、島状構造を形成したり、ステップの形を変えたりして、任意のステップ形状を形成すれば、任意の形状の微細構造を本発明を用いて形成出来ることは明らかである。局所的に材料を供給する方法としては、マスクを用いた蒸着や、電子線を用いた材料の解離吸着、収束イオンビームを用いた方法、走査型トンネル顕微鏡等のプローブ顕微鏡を用いた方法など種々考えられる。それらの方法により、nmレベルの加工をすることは必ずしも容易ではないが、本発明は、ステップのみを利用するので、材料供給手段が、必ずしもnmレベルの分解能を持つ必要はないのが特徴である。図6、図7を用いて任意の形状の微細構造を形成する方法を説明する。

【0019】図6には、もともと基板表面上にあるステップ26, 27(図6-a)に沿って微細構造を形成する方法が示されている。まず、表面上に金属を供給することによって、金属の細線28, 29を形成する(図6-b)。その後、該金属薄膜上には結晶が成長しないように、半導体を結晶成長させる(図6-c)。これにより、nmレベルの微細な溝構造30, 31が形成される。このように、本発明を用いれば、nmレベルの幅を持った金属の細線が溝部に形成できる。しかし、その形状は、図6-aと図6-cを比較すれば明らかなように、元々のステップ形状に依存してしまう。そこで、材料を表面上に供給し、任意のステップ形状を形成してやれば、任意の構造を有する微細な溝構造を形成することができる。図7を用いて、具体的に説明する。

【0020】図7-aは、図6-aと同じものである。この表面にSiを供給して島状の構造32, 33, 34を形成する(図7-b)。このとき、島の大きさはnmレベルである必要はなく、従来からある微細構造形成方法で形成してよい。この表面にAuを供給すると、Auはもともとあるステップ26, 27だけでなく、島状構造

を形成することによって出来た新たなステップに沿っても再配列構造を形成する。その結果、金属細線35, 36, 37, 38, 39が形成される(図7-c)。この細線の幅は、Auの供給量を制御することにより、nmレベルで制御できる。ここで、供給したSiによる島状の形状自体はnmレベルの幅を持たなくても、ステップに沿って形成された金属細線はnmレベルの幅を持つものが形成可能であることが、本発明の特徴である。従って、形成する島の形状を任意にすることによって、任意の形状の金属細線が形成できる。さらに、この表面にSiを供給すれば、溝に金属の細線を有する微細構造が形成できる(図7-d)。

【0021】図7では、Siを供給して任意のステップ形状を形成したが、表面上からSiを取り除き、溝構造を形成して任意のステップ形状を形成してもよい。この微細構造形成のための溝の幅が、必ずしもnmレベルの幅を持つ必要がないのは、島状構造を形成するときと同様である。図8は、図6-cを真上から見た図で、元々のステップ形状にあわせて溝部に金属の細線30, 31が形成されている。図9は、図7-dを真上からみた図で、任意の構造の金属の細線35, 36, 37, 38, 39が形成されていることが分かる。

【0022】(実施例6) さらに本発明を用いれば、平面内だけでなく、3次元的に微細加工をすることも容易である。図10を用いてその基本的な加工の仕方を説明する。基板40上にSiを供給して3次元的な島状構造41を形成する(図10-a)。図では簡単のため、三角錐を用いているが、その形状は加工したい形にあわせればよい。この時、3つの稜線42, 43, 44は、一種のステップとして機能する。従って、この表面にAuを供給すると、供給されたAuは稜線に沿って再配列構造45, 46, 47を形成する。それらの再配列構造は、頂点で交わっている。この表面に300℃以下で半導体48を供給する。これにより、結晶内部に微細構造を有する新たな半導体表面49が形成され、しかも、その表面は下部の構造と金属細線45, 46, 47によって接続されている。表面上に現れた部分50に新たに形成された表面49上の構造を接続することによって、電氣的に下部構造と接続することができる。この表面に更に微細加工を施すことによって、3次元的に微細加工を容易にすることができるわけである。図10では、表面に垂直な方向に関しては本発明による微細構造を接続にしか用いていない。しかし、本発明を用いれば、複数の様々な形状の島状構造を形成することによって、表面に垂直な方向に関しても複雑な微細加工ができることは明らかである。

【0023】以上の実施例では、金属の供給は蒸着を想定して説明してきたが、収束イオンビーム蒸着法などにより局所的に供給量を制御すれば、金属細線または、溝の幅を場所によって変えることができる。

【0024】〈実施例7〉図11は、本発明を用いて加工した電子回路の一部を示す図である。本発明により金属の細線51が形成されている。更に、島状構造54、55の周りにも、金属の細線52、53が形成されている。それらは、それぞれ電極58、59に接続されており、該電極に電圧を印加することによって、二本の金属細線にも電圧が印加される。金属細線51の両端は、2つの金属端子56、57に接続されており、両端子間に電流を流すことができる。この時、二つの電極58、59に印加する電圧、即ち、2本の金属細線52、53に印加する電圧の大きさによって、金属細線51内を流れる電流の量を制御できる。本発明によって可能となる特徴的なことは、nmオーダーの金属細線52、53により、金属細線51に対して局所的に電位、あるいは電界を掛けることができることである。これにより、金属細線内にポテンシャル障壁を設けることができるようになるのである。更に電流が流れる金属細線51もnmオーダーのものが加工可能なので、量子サイズ効果により、流れる電流の大きさは、前記印加される電圧の大きさに依存して離散的な値を取らせることができる。実施例では、金属細線52、53の両端は、それぞれ一つの金属端子に接続されているが、両端を別々の端子に接続し、金属細線52、53内を流れる電流の向き及び大きさによって金属細線51内を流れる電流の大きさ及び向きを制御することも可能である。

【0025】本発明を用いたこのような微細構造だけでデバイス全てを形成する必要はもちろんなく、キーとなる動作をさせる部分のみを本発明により形成すれば、例えば、量子効果デバイスのような新たな機能を有するデバイスを容易に作成することができる。

【0026】本発明により半導体表面に電極等の金属細線を形成しようとする場合、基板は不純物の少ない、真性半導体を用いた方が信頼性が上がる。

【0027】〈実施例8〉次に、図12を用いて成長を促進する金属と組み合わせた場合の微細加工例を説明する。半導体の成長を促進する金属としては、Ga等が知られている。図12は断面図で、半導体基板表面60にはステップがある。その表面上に、本発明による金属薄膜61、62が成長させられている(図12-b)。更に、それとは別の場所に半導体の成長を促進する金属薄膜63、64が形成されている。蒸着速度と基板温度を制御して、この表面に半導体を供給すると、図12-cに示すような構造を形成することができる。即ち、金属薄膜61、62上には半導体結晶は成長しない。金属薄膜63、64は、半導体結晶の成長を促進し、結晶性の良い半導体70、71が、その下に形成される。金属薄膜に被われていない領域は、成長条件が十分でないので、結晶性の悪い(導電性の悪い)半導体65、66、67、68、69が形成されている。このように、本発明を半導体結晶の成長を促進する金属と組み合わせるこ

とにより、実際の凹凸に加えて、結晶性の善し悪しまで含めた微細加工が可能となる。なお、従来の成長を促進する金属を用いるだけでは、凹凸をけいせいすることができないことは明らかである。また、金属薄膜61、62、63、64は、基板温度を上げることなどにより、半導体の構造を壊さずに除去することができる。

【0028】〈実施例9〉図13は、成長を促進する金属との組合せにより形成した電子回路の主要部を示す図である。図13-aは断面図で、基板72上に結晶性の良い半導体73、74が形成されている。それらの周りは、本発明により形成された金属細線75、76で囲まれている。これらの金属細線には、金属電極77、78により電圧が印加される。本発明により、この電子回路は微小な領域に形成可能なので、例えば、金属端子80を負に、金属端子81を正に印加すると、この端子間に基板72を介して電流を流すことができる(図中矢印参照)。この電流大きさは、金属細線75、76に印加する電圧の大きさによって制御することができる。例えば、トンネル効果を利用した電流を使うことが可能となる訳である。この回路は更に保護膜79で被われている。なお、斜視図13-bでは、金属端子及び保護膜は省略されている。従来、電子回路は2端子間のオンオフの組合せにより形成されるが、本発明では、例えば図13-bに示すように、微小な領域に4端子を形成することが可能であり、各金属細線75、76、83、85に印加される電圧を制御することにより、任意の4端子間で電流を流すことが可能となる。本実施例においても、金属電極77、78等は従来法で形成すれば良く、主要部のみを本発明を用いて形成すれば良いことは言うまでもない。

【0029】〈実施例10〉本発明を用いれば、量子効果デバイスの基本となる金属クラスターのドット列も容易に形成することができる。図14により、その方法を説明する。基板表面102上の溝部に、本発明により金属細線103が形成されている(図14-a)。この金属細線に対して局所的に熱を加えることによって、金属クラスターを形成することができる。図14では、プローブ顕微鏡を用いた方法が示されている。顕微鏡のプローブ104を金属細線103上に位置させ、プローブと金属細線の間に通常の顕微モードよりも大きな電流を流す。これにより、局所的に金属細線は加熱され、一部が融解し金属クラスター105を形成する(図14-b)。これを繰り返すことにより、複数の金属クラスター105、106、107からなる列を形成することができる(図14-c)。金属薄膜を局所的に加熱すれば、クラスターを形成できることは広く知られている。本発明を用いることによって得られる特徴は、その金属クラスターを列状に並べることができることである。さらに、本発明によれば、クラスターは溝部に形成されるので、非常に安定である。なお、クラスターの大きさ



は、金属細線103の幅と形成する金属クラスター同志の間隔によって決まる。局所的に加熱する方法としては、プローブ顕微鏡を用いた方法のほかに、電子線を用いた方法などがある。

【0030】上記実施例では、金属細線を溶融してクラスターを形成したが、列上に並んだ金属原子を数個おきに取り除き、ある間隔で並んだ金属原子列を形成することによってもドット列を形成することができる。

【0031】以上、半導体表面としてSi(111)清浄表面を、金属としてAuを用いて、実施例1~10により、本発明を用いた微細構造形成方法、及びそれにより作成した電子デバイスを説明してきた。本発明の最も重要な点は、金属と半導体それぞれの組成および構造の組合せによっては、金属薄膜上に結晶が成長しない組合せがあることを見出したことにある。その現象を用いることによって、nmレベルで容易に半導体の微細加工が行えるのである。また、ステップを用いた実施例のみを説明してきたが、基板温度を制御しながら、局所的に金属を供給すれば、ステップエッジだけでなく、テラス上に金属薄膜を形成することも可能である。

【0032】〈実施例11〉本発明を用いると、例えば、金属の多層配線も容易に行うことができる。図15を用いて説明する。本発明により半導体基板表面113上に、金属の細線114が形成されている(図15-a)。なお、この細線114を構成する金属は、上記で説明した方法により、半導体結晶の成長を抑止する金属とは異なるものになっている。この表面に、半導体結晶115を成長させる(図15-b)。この時、前記理由から、金属114上にも結晶は成長する。さらに、半導体結晶116を局所的に成長させる(図15-c)。その表面に本発明を用いて、金属細線117を形成する

(図15-d)。これにより金属細線を用いた多層配線が容易に行える。図15-eに、透視図を示す。2本の金属細線114と117が形成されていることが良く分かる。多層配線のために金属細線上に新たに結晶を成長させる訳であるが、その時には、金属上にも結晶が成長するような条件で、結晶成長を行うことが大切である。そのためには、金属細線を構成する金属を上記実施例で説明してきた方法により、結晶の成長を抑止しないものに変えても良いし、温度を下げて金属細線上にも結晶が成長してしまうようにしても良い。本発明を用いることの最大の特徴はnm幅の線幅の揺らぎの少ない金属細線による多層配線ができることである。

【0033】〈実施例12〉図16は、本発明の微細構造形成を行うための装置の一実施例を示す図である。半導体基板90は、温度の制御が可能な試料台91上にある。該半導体基板90と試料台91は、真空室92内に置かれている。該真空室92には、以下に述べる手段が、微細構造形成のために設けられている。材料供給手段93、94、95は、基板90の表面に材料を供給す

るためのもので、少なくとも一つは金属を供給するためのものである。該金属が基板表面上に形成した薄膜上には、他の材料供給手段から供給される材料が結晶成長しないことが特徴である。材料供給手段は、蒸着法でも、ガス導入法でも何でも良い。また、微細加工をモニタするために、走査型電子顕微鏡96及び走査型プローブ顕微鏡97が設けられている。前記走査型プローブ顕微鏡は、材料供給の妨げにならないように移動機構98により基板90の表面上に位置させられたり、表面上から遠ざけられるようになっている。また、局所的に材料を供給したり、スパッタにより加工したりするために収束イオンビーム源99が設けられている。また、さらに不活性ガスをを用いたスパッタ装置100も設けられている。なお、真空室92は、真空ポンプ101により排気される。

【0034】上記実施例では、複数の観察手段、スパッタ手段が設けられている。本発明を達成するためには、必ずしもそれら全てが必要な訳ではない。本発明を達成するためには、最低、試料、及び、温度制御可能な試料台、複数の材料供給手段があれば良い。また、上記実施例では、真空中での微細構造形成を想定しているが、ある雰囲気ガス中に行っても良い。

#### 【0035】

【発明の効果】本発明を用いれば、半導体表面上にnmレベルの分解能で、微細構造を形成することができる。それにより、量子効果デバイスの様な微細加工を必要とするデバイスの作成も容易になる。

#### 【図面の簡単な説明】

【図1】微細加工のプロセスを示す図。

【図2】微細加工の原理を示す図。

【図3】微細加工によるAu配線を示す図。

【図4】微細加工による金属配線を示す図。

【図5】微細加工のプロセスを示す図2。

【図6】ステップに沿った微細加工を示す図。

【図7】任意の形状の微細加工を示す図。

【図8】ステップに沿った微細加工を真上からみた図。

【図9】任意の形状の微細加工を真上からみた図。

【図10】3次元的な微細加工を示す図。

【図11】本発明を用いた電子回路を示す図。

【図12】成長を促進する金属と組み合わせた微細加工例を示す図。

【図13】本発明を用いた電子回路を示す図。

【図14】本発明を用いた微細加工例を示す図。

【図15】多層配線を形成する方法を示す図。

【図16】本発明による微細加工を行うための装置構成例を示す図。

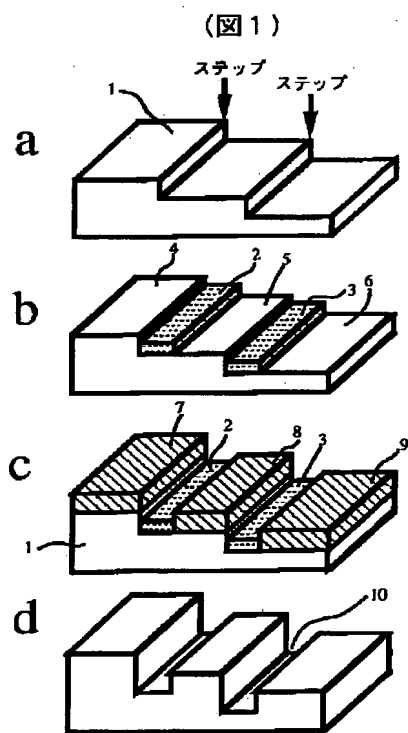
#### 【符号の説明】

1…半導体表面、2、3…再配列構造、4、5、6…金属でおおわれていない半導体表面、7、8、9…新たに形成された結晶構造、10…溝構造、11…Si(111)表

15

面, 12...2原子層高さのステップ, 13...再配列構造下のSi原子層, 14...吸着Au原子列, 15...上側のテラスに拡散するSi原子, 16...下側のテラスに拡散するSi原子, 17, 18...新たに形成されたSi原子層, 19...加熱により表面から離脱するAu原子, 20, 21...通常の結晶構造に戻ったSi原子層, 22...溝, 23...保護膜, 24...金属線, 25...保護膜, 26, 27...ステップ, 28, 29...金属細線, 30, 31...溝構造, 32, 33, 34...島状Si, 35, 36, 37, 38, 39...金属細線, 40...基板, 41...島状構造, 42, 43, 44...稜線, 45, 46, 47...再配列構造, 48...半導体, 49...新たに形成された半導体表面, 50...表面に現れた部分, 51, 52, 53...金属細線, 54, 55...島状構造, 56, 57, 58, 59...金属端子, 60...半導体基板, 61, 62...金属薄膜, 63, 64...成長を促進する金属薄膜, 65, 66, 67, 6\*

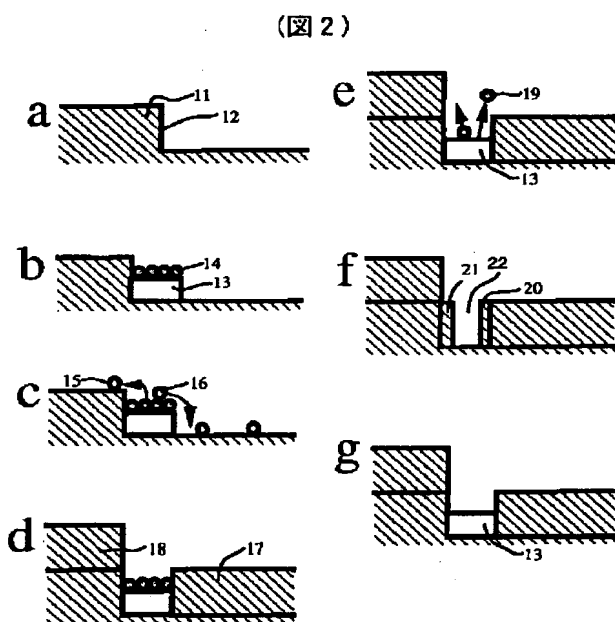
【図1】



16

\* 8, 69...結晶性の悪い半導体, 70, 71...結晶性の良い半導体, 72...半導体基板, 73, 74...結晶性の良い半導体, 75, 76...金属細線, 77, 78...金属電極, 79...保護膜, 80, 81...金属端子, 82, 84...結晶性の良い半導体, 83, 85...金属細線, 90...半導体基板, 91...試料台, 92...真空室, 93, 94, 95...材料供給手段, 96...走査型電子顕微鏡, 97...走査型プローブ顕微鏡, 98...移動機構, 99...収束イオンビーム装置, 100...スパッタ装置, 101...真空ポンプ, 102...基板表面, 103...金属細線, 104...プローブ, 105, 106, 107...金属クラスター, 110...金属細線, 111...選択成長した結晶, 112...nm幅で成長した構造を有する表面, 113...基板表面, 114...金属細線, 115...結晶, 116...局所的に成長させた結晶, 117...金属細線.

【図2】

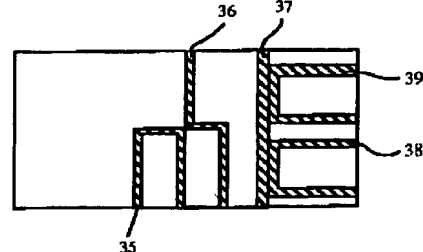
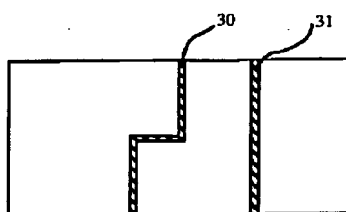


【図8】

【図9】

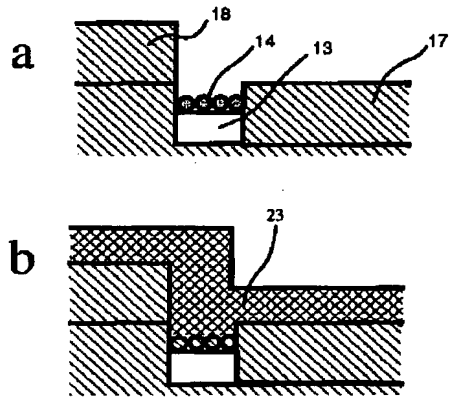
(図8)

(図9)



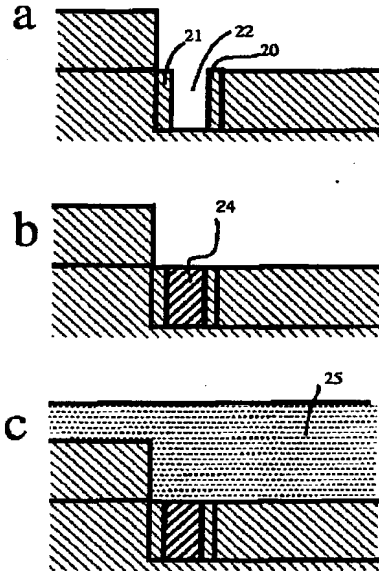
【図3】

(図3)



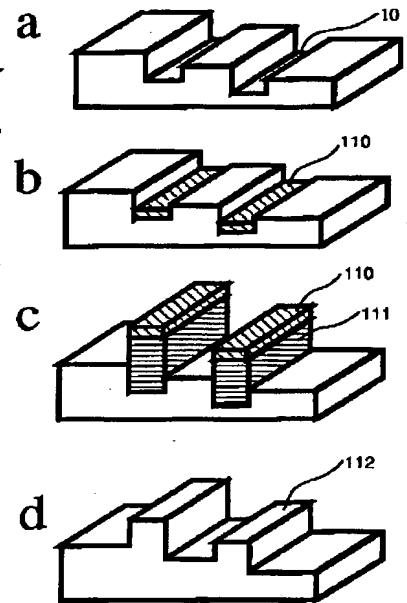
【図4】

(図4)



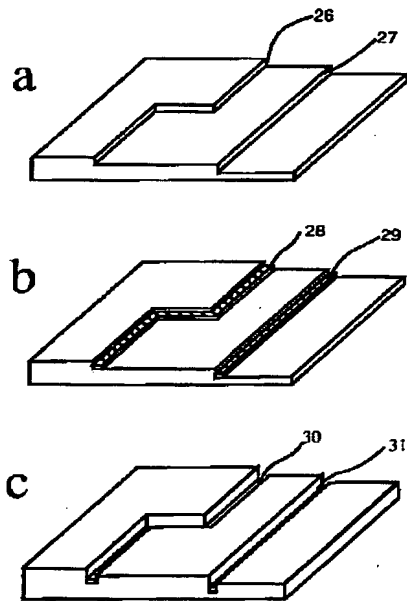
【図5】

(図5)



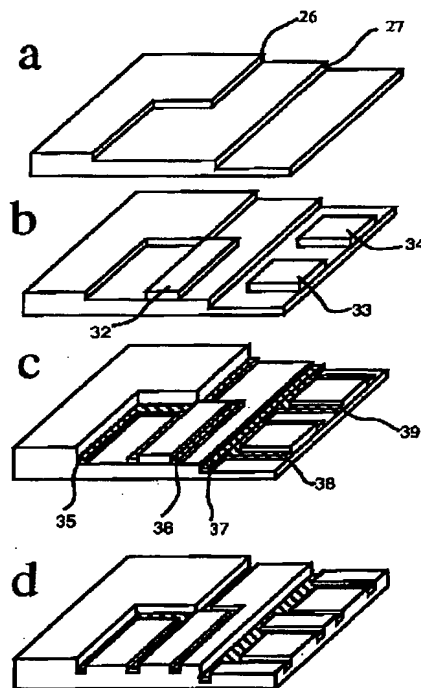
【図6】

(図6)



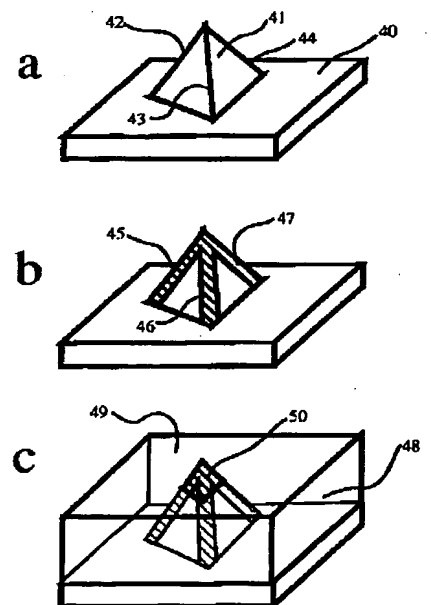
【図7】

(図7)



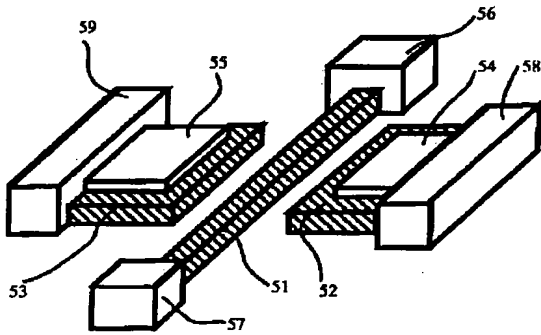
【図10】

(図10)



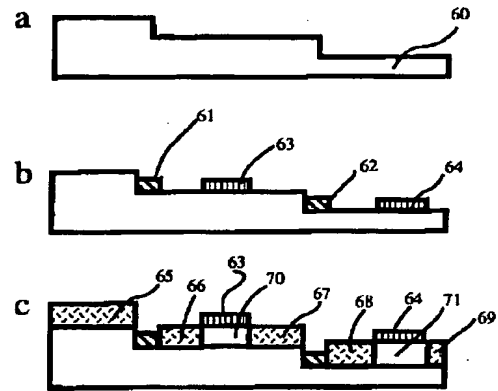
【図11】

(図11)



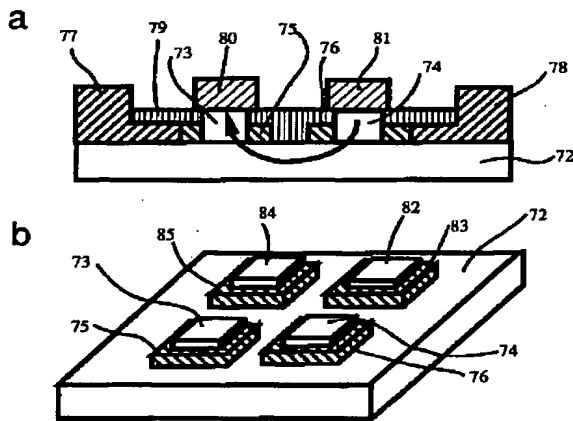
【図12】

(図12)



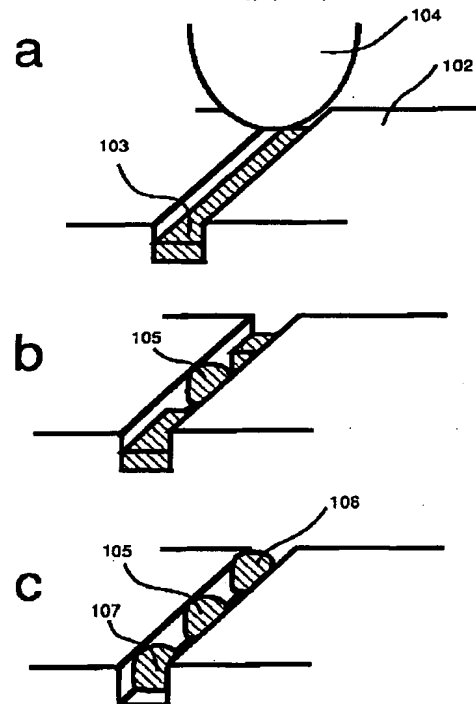
【図13】

(図13)



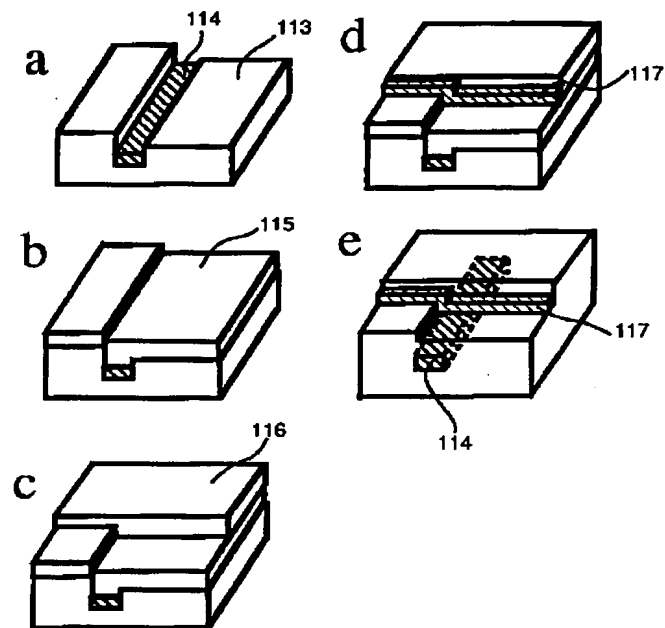
【図14】

(図14)



【図15】

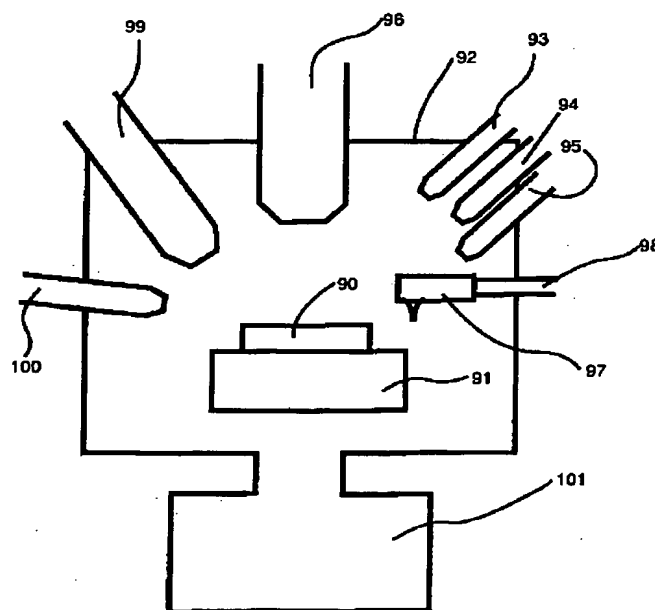
(図15)



【図16】

← FIG. 16

(図16)



フロントページの続き

(72)発明者 市川 昌和

東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内